

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-039887

(43)Dat of publication of application : 12.02.1999

(51)Int.Cl. G11C 16/02
G11C 16/04

(21)Application number : 09-188733

(71)Applicant : SONY CORP

(22)Date of filing : 14.07.1997

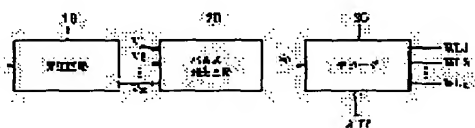
(72)Inventor : SUGIYAMA HISANOBU

(54) NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable shortening of the write time and erase time by providing a control means which is setting the first voltage of the write or erase signal pulses to the initial voltage having the first width and then sequentially setting the second and subsequent voltages larger than the initial voltage having the width narrower than the first width.

SOLUTION: A pulse generating circuit 20 outputs a pulse signal Sp having different voltage levels of the predetermined width depending on the voltages V1 to Vm generated by a voltage boosting circuit 10 of a write circuit using the power source voltage Vcc. A decoder 30 selects one word line among the word lines WL1 to WLn depending on an input address signal ADR and impresses a pulse signal Sp to write or erase the data to/from the memory cell connected. A write circuit sets the second and subsequent voltage levels which become gradually larger having the width as short as 2 μ s. Thereby, high speed writing and erasing can be conducted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(誌+要約+請求の範囲)

- (19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
(11)【公開番号】特開平11-39887
(43)【公開日】平成11年(1999)2月12日
(54)【発明の名称】不揮発性半導体記憶装置
(51)【国際特許分類第6版】

G11C 16/02
16/04

【FI】

G11C 17/00 611 E
612 E
622 E

- 【審査請求】未請求
【請求項の数】5
【出願形態】OL
【全頁数】8
(21)【出願番号】特願平9-188733
(22)【出願日】平成9年(1997)7月14日
(71)【出願人】
【識別番号】000002185
【氏名又は名称】ソニー株式会社
【住所又は居所】東京都品川区北品川6丁目7番35号
(72)【発明者】
【氏名】杉山 幸伸
【住所又は居所】東京都品川区北品川6丁目7番35号 ソニー株式会社内
(74)【代理人】
【弁護士】
【氏名又は名称】佐藤 隆久

(57)【要約】
【課題】書き込みおよび消去時間を短縮でき、書き込みおよび消去スピードの向上を実現できる不揮発性半導体記憶装置を提供する。
【解決手段】書き込み時に書き込み対象メモリセルに一回目が幅の長い書き込みパルスを印加し、2回目以降の書き込みにおいて、一回目より電圧レベルが大きく、幅が短い書き込みパルスを印加する。書き込みパルス印加後しきい値電圧の検証を行い、メモリセルのしきい値電圧 V_{th} を検出し、所定の書き込みレベル V_{th} に達したか否かを判定し、判定結果に応じて書き込み終了または続行を決定する。これにより、メモリ全体の書き込みおよび消去時間を短縮でき、従来のISPP法による書き込みと比べて、さらに高速度な書き込みおよび消去を実現できる。

【特許請求の範囲】
【請求項1】複数のパルスからなる書き込みまたは消去信号を印加し、電荷蓄積層に対して電荷の授受を行うことにより、しきい値電圧を制御し、しきい値電圧に応じた情報を保持する記憶素子を有する不揮発性半導体記憶装置であって、上記書き込みまたは消去信号における一回目のパルスの電圧を初期電圧レベル、パルス幅を第1の幅にそれぞれ設定し、2回目以降のパルスの電

圧を上記初期電圧レベルより大きく、パルス幅を上記第1の幅より短く設定する制御手段を有する不揮発性半導体記憶装置。
【請求項2】各パルス印加後、上記記憶素子のしきい値電圧を検出し、当該しきい値電圧を所定のレベルに達したか否かを検証する請求項1記載の不揮発性半導体記憶装置。
【請求項3】上記制御手段は、上記検証手段により上記記憶素子のしきい値電圧が上記所定のレベルに達したと判定したとき、上記パルスの印加を終了させ、上記しきい値電圧が上記所定のレベルに達していないとき、次のパルス印加を行う請求項1記載の不揮発性半導体記憶装置。
【請求項4】上記制御手段は、上記2回目以降の各パルスの幅を同じ値に設定する請求項1記載の不揮発性半導体記憶装置。
【請求項5】上記制御手段は、上記2回目のパルスから、第2の幅を持つパルスを所定の回数において生成し、上記所定の回数以降、上記第2の幅よりさらに短い第3の幅を持つパルスを生成する請求項1記載の不揮発性半導体記憶装置。

① 11V15にバイアスがか
深くある

★ 31に食ひ取り 11V15
が すぐ
(レポート 電圧の 説明)

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置、特にISPP(Incremental Step Pulse Programming)により書き込みおよび消去を行う不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】フロッピングゲートを有するメモリセルは、図5の簡略断面図に示すように、例えば、シリコン(Si)により構成されている半導体基板(またはウェル)1、基板上に形成されているソース拡散層2、ドレイン拡散層3、フロッピングゲート5およびコントロールゲート7により形成されている。フロッピングゲート5はソース拡散層2とドレイン拡散層3との間の基板上に形成されており、基板1との間に、例えば、シリコン酸化膜(SiO_2)により構成されているゲート絶縁膜4が形成されている。さらに、フロッピングゲート5とコントロールゲート7との間に、層間絶縁膜6が形成されている。なお、層間絶縁膜6は、例えば、ゲート絶縁膜4と同様に、シリコン酸化膜により構成されている。さらに、酸化膜と窒化膜(Si_3N_4)を順次成膜した積層膜、また、酸化膜、窒化膜、酸化膜を順次成膜して構成された、いわゆるONO膜により構成することもできる。

【0003】フロッピングゲート5およびコントロールゲート7の両端に、図示していないサイドウォールが形成されているので、フロッピングゲート5は、周囲と電気的に絶縁状態に保持される。このため、フロッピングゲート5に何らかの手段により注入した電荷(電子)がほぼ永久的に保持される。

【0004】一般的に、フロッピングゲート5への電子の注入またはフロッピングゲート5から電子の放出は、コントロールゲート7、ソース拡散層2、ドレイン拡散層3および基板1に所定のバイアス電圧を印加することにより実現される。例えば、基板1を基準電位、例えば、接地電位GNDに保持し、コントロールゲート7に高電圧を印加することにより、ゲート絶縁膜4において、フロッピングゲート5から基板1に向かって強い電界が生じる。このため、トンネル酸化膜にトンネル電流が流れる。この電流はFNF(Fowler-Nordheim)電流と呼ばれる。FN電流を利用してフロッピングゲート5に電子を注入する。または、フロッピングゲート5から電子を放出させることをFNTネリングという。このため、ゲート絶縁膜4は、トンネル絶縁膜、あるいはトンネル酸化膜とも呼ばれる。

【0005】上述したバイアス状況において、FNTネリングにより、基板1にある電子の一部分がゲート絶縁膜4を通して、フロッピングゲート5に注入される。注入された電子がバイアス電圧が解除した後もフロッピングゲート5に蓄積されたままとなる。フロッピングゲート5に蓄積した電荷の量に応じてメモリセルのしきい値電圧 V_{th} が制御される。フロッピングゲート5に電子が注入され、蓄積されている場合に、メモリセルのしきい値電圧 V_{th} が上昇する。

【0006】また、メモリセルを逆のバイアス状態に保持することにより、フロッピングゲート5から基板1へ電子を放出させることもできる。例えば、コントロールゲート7を低い電位、例えば、接地電位GNDに保持し、基板1に高電圧を印加することにより、フロッピングゲート5に蓄積した電子が放出される。これによって、フロッピングゲート5の蓄積電荷量が減少し、メモリセルのしきい値電圧 V_{th} が低下する。

【0007】一般的に電子の注入または放出は、コントロールゲート7または基板1、あるいはウェルに書き込みパルスまたは消去パルスを印加することにより実現される。以下、図6に示すNAND型フラッシュメモリの書き込み動作について説明する。なお、図6は、NAND型フラッシュメモリの一系列のメモリセルのみを示しており、実際のメモリアルレイは、このような複数のメモリセルにより、マトリクス状なメモリアルレイが構成されている。

【0008】図示のように、例えば、8個のメモリセルM1, M2, ..., M8が選択トランジスタS1, S2を介してビット線BLとソース線SLの間に直列に接続されている。選択トランジスタS1, S2のゲートはそれぞれ選択信号線SG1, SG2に接続され、これら選択信号線に印加されている選択信号のレベルに応じてオン/オフ状態が制御される。メモリセルM1, M2, ..., M8のコントロールゲート7がそれぞれワード線WL1, WL2, ..., WL8に接続されている。なお、ワード線WL1, WL2, ..., WL8には、図示したメモリセルM1, M2, ..., M8以外に、他のメモリセル列にあるメモリセルも接続されている。

【0009】通常、NAND型フラッシュメモリの書き込みは、ワード線単位で行う。即ち、1本のワード線に連なる複数のメモリセルに対して同時に実行される。例えば、図7に示すように、幅20μs(マイクロ秒)程度の同じ電圧の書き込みパルスをしきい値電圧 V_{th} の検証(Verify)を行いながら、繰り返し印加し続ける。そして、所定の書き込みレベルまでしきい値電圧 V_{th} が上昇したメモリセルから書き込み禁止状態に設定し、ワード線単位の全てのメモリセルが書き込まれた時点、即ち、ワード線単位の全てのメモリセルのしきい値電圧が上記書き込みレベルに達したとき、ワード線単位の書き込みが終了する。

【0010】この方法では、必然的に書き込みスピードは、ワード線単位の最も書き込みスピードの遅いメモリセルにより決定されることになる。最も遅いメモリセルに対して速く書き込みを行うと、場合により、書き込みパルス電圧を高くするか、もしくは、書き込みパルス幅を長くして、書き込み検証のサイクル数を少なくするという方法が考えられる。

【0011】しかし、このようにすると、書き込みの遅いメモリセルが一発の書き込みパルスでしきい値電圧 V_{th} が最大許容値より高く設定されてしまう可能性が生じてくるので、書き込みパルスの設定にも制限が生じる。よって、通常の書き込みパルスの設定では、書き込みの遅いメモリセルと遅いメモリセルが両方ともしきい値電圧の許容範囲に入るように、最も速く書き込む条件が決定される。

【0012】このように、通常の方法に対し、書き込みの遅いメモリセルと遅いメモリセルの両方に対して、最適な書き込みパルスを印加するようにし、書き込みスピードの向上を図る。これを可能にする一つの手段として、ISPP法が提案された。図8に示すように、ISPP法では、通常の方法と同じ電圧のパルスを印加し続けるのではなく、パルスの電圧を各印加サイクル毎に上げていく方法である。この方法にすると、書き込みの遅いメモリセルは、初期の書き込みパルス電圧の低い間に書き込まれるので、過剰に書き込まれることが防止できる。また、遅いメモリセルに対しては、パルス印加毎にパルス電圧が上がるので、同じ電圧の書き込みパルスを印加し続けることにより速く書き込みを完了させることが可能となる。

【0013】図9は従来の書き込みパルスによる書き込み特性を示している。図示のように、従来の書き込み方法では、書き込み時間に対して、メモリセルのしきい値電圧の上昇が飽和してくる。それに対して、図10に示したISPP法による書き込み特性では、ある一定の時間後、メモリセルのしきい値電圧がほぼ直線的に上昇しており、この差が書き込みスピードに影響を及ぼすということである。

【0014】

【発明が解決しようとする課題】ところで、上述したISPP法では、書き込み時間に依りて書き込みパルスの電圧を上げていく手段により、記憶装置全体の書き込みスピードの向上が図れるが、書き込みスピードの上昇には限度があるという不利益がある。従来の不揮発性半導体記憶装置のアプリケーションの多様化などを考慮すると、さらに書き込みスピードの向上が必要である。

【0015】本発明は、かかる事情に鑑みてなされたものであり、その目的は、ISPP法を用いてメモリセルに対して書き込みおよび消去を行う不揮発性半導体記憶装置において、書き込み方法さらに改良することによって、記憶装置全体の書き込みおよび消去時間をさらに短縮でき、書き込みおよび消去スピードの向上を実現できる不揮発性半導体記憶装置を提供することにある。

【0016】

【課題を解決するための手段】上記目的を達成するため、本発明の不揮発性半導体記憶装置は、複数のパルスからなる書き込みまたは消去信号を印加し、電荷蓄積層に対して電荷の授受を行うことにより、しきい値電圧を制御し、しきい値電圧に応じた情報を保持する記憶素子を有する不揮発性半導体記憶装置であって、上記書き込みまたは消去信号における一回目のパルスの電圧を初期電圧レベル、パルス幅を第1の幅にそれぞれ設定し、2回目以降のパルスの電圧を上初期電圧レベルより大きく、パルス幅を上記第1の幅より短く設定する制御手段を有する。

【0017】また、本発明では、好適には各パルス印加後、上記記憶素子のしきい値電圧を検出し、当該しきい値電圧を所定のレベルに達したか否かを検証する検証手段を有し、上記制御手段は、上記検証手段により上記記憶素子のしきい値電圧が上記所定のレベルに達したと判定したとき、上記パルスの印加を終了させ、上記しきい値電圧が上記所定のレベルに達していないとき、次回のパルス印加を行う。

【0018】さらに、本発明では、上記制御手段は、上記2回目以降の各パルスの幅を同じ値に設定するが、上記2回目のパルスから、第2の幅を持つパルスを所定の回数に達して生成し、上記所定の回数以降、上記第2の幅よりさらに短い第3の幅を持つパルスを生成する。

【0019】本発明によれば、複数のパルスからなる書き込みまたは消去信号を不揮発性メモリセルに印加することにより、書き込みまたは消去が行われる。書き込みおよび消去時、一回目のパルス幅が長く設定され、2回目以降のパルス幅が一回目のパルス幅より短く設定し、パルス印加毎に電圧レベルを徐々に大きく設定することにより、書き込みまたは消去時間の短縮を図り、高速な書き込みおよび消去を行える不揮発性半導体記憶装置を実現できる。

【0020】

【発明の実施の形態】図1は本発明に係る不揮発性半導体記憶装置の一実施形態を示す図である。本実施形態における書き込みパルスの波形を示す図である。本実施形態は、従来のISPP法に対してさらに改良を加えることにより、高速な書き込みおよび消去を可能にする不揮発性半導体記憶装置を実現する。具体的に、ISPP法では、印加パルス幅を変えずにパルス電圧のみを変化させることに對して、本実施形態で、パルスの電圧のみではなく、パルス幅も変化させることとし、書き込み初期に印加するパルス幅を長く設定し、その後のパルス幅を短く設定する方法が取られる。

【0021】図1に示すように、本実施形態においては、例えば、不揮発性半導体記憶装置の周辺回路に設けられているパルス発生回路によって、パルス印加毎に幅および電圧がともに変化するパルスを発生し、これを書き込み対象となる選択メモリ行のワード線に印加することによって、高速な書き込みを実現する。

【0022】図2は、本実施形態における書き込み回路の構成例を示す回路図である。図示のように、本例のパルス発生回路は、昇圧回路10、パルス発生回路20およびデコーダ30により構成されている。

【0023】昇圧回路10は、電源電圧 V_{CC} を動作電源電圧として、電源電圧 V_{CC} と異なるレベルを有する複数の電圧 V_1, V_2, \dots, V_m を発生し、パルス発生回路20に供給する。パルス発生回路20は、昇圧回路10からの複数の電圧に応じて、それぞれ異なる電圧レベルを持ち、所定の幅を有するパルス信号 S_p を発生し、デコーダ30に供給する。デコーダ30は、外部から入力されたアドレス信号ADRIに応じて、複数のワード線WL1, WL2, ..., WLnの内一つの選択し、選択したワード線にパルス発生回路20により発生したパルス信号 S_p を印加する。

【0024】このように構成された書き込み回路により、所定の電圧レベルおよび所定の幅を有するパルス信号 S_p が生成され、アドレス信号ADRIにより選択したワード線に当該パルス信号 S_p が印加されるので、当該ワード線に接続されているメモリセルに対して書き込みが行われる。

【0025】書き込み開始後、図2に示す書き込み回路によって最初に幅 T_{PW1} 、電圧 V_{W1} の書き込みパルス S_{p1} が発生される。一回目の書き込み後、検証時間 T_V において、一回目のパルス印加によりメモリセルのしきい値電圧 V_{th} が検出され、所定の書き込みレベルに達したか否かを判定する。メモリセルのしきい値電圧 V_{th} が所定の書き込みレベルに達したと判定されたとき、メモリセルのこれ以降の書き込みを禁止する。逆にしきい値電圧 V_{th} が所定の書き込みレベルに達していない場合に、引き続き2回目の書き込みが行われる。

【0026】2回目の書き込みでは、図示のように、幅 T_{PW2} 、電圧 V_{W1} よりスレッショルド電圧 ΔV_1 だけ大きい電圧に設定されている書き込みパルス S_{p2} が発生される。そして、2回目の書き込み後、一回目のと同様に、検証時間 T_V において、メモリセルのしきい値電圧 V_{th} が検出され、所定の書き込みレベルに達したか否かを判定する。メモリセルのしきい値電圧 V_{th} が所定の書き込みレベルに達したと判定されたとき、これ以降の書き込みを禁止する。逆にしきい値電圧 V_{th} が所定の書き込みレベルに達していない場合に、引き続き3回目の書き込みが行われる。

【0027】なお、一回目の書き込みパルスの幅 T_{PW1} は、例えば、50 μs に設定され、2回目以降の書き込みパルスの幅 T_{PW2} は、例えば、2 μs に設定される。また、2回目以降に発生された各書き込みパルスの幅を、2回目の書き込みパルス幅と同じ T_{PW2} とする。

【0028】図3は、ISPP法による書き込み特性を示している。図3は、例えば、一回目の書き込みパルスの電圧、即ち、初期電圧 V_{pgm} は14.5V、各回のパルスのスレッショルド電圧 $\Delta V=0.5V$ の条件で、ISPP法により書き込みを行う場合に、各書き込みパルス幅 T_{PW} のバース印加回数に

対して、メモリセルのしきい値電圧 V_{th} の変化を示している。これによると、ISPP法による書き込みにおいて、パルス印加の初期段階では、パルス幅 T_{PW} によりメモリセルのしきい値電圧 V_{th} の立ち上がり差が生じており、パルス幅 T_{PW} の長い方が一回目の書き込みパルスの印加によるしきい値電圧 V_{th} の上昇分は大きい、しきい値電圧 V_{th} が、例えば、2Vあたりから、何れのパルス幅 T_{PW} も同じ傾きの直線となり、しきい値電圧 V_{th} の変化がバース印加回数のみに依存する結果となる。

【0029】ISPP法に対して、本実施形態の書き込み方法による書き込み特性を図4に示している。図4は、図3のISPP法と同じ書き込み条件、即ち、初期電圧 V_{pgm} は14.5V、各回のパルスのスレッショルド電圧 $\Delta V=0.5V$ の条件で、本発明の書き込み方法により書き込みを行う場合に、各書き込みパルス幅 T_{PW} のバース印加回数に対して、メモリセルのしきい値電圧 V_{th} の変化を示している。

【0030】図示のように、本発明の書き込みによれば、最初の一回目の書き込みパルス幅 T_{PW1} が50 μs に設定され、それ以降の各回の書き込みパルス幅は、 T_{PW2} に設定されている。即ち、一回目に長い書き込みパルスが印加され、2回目以降には短い書き込みパルスが印加される。この場合には、2回目以降に短い書き込みパルスが印加されたにも関わらず、書き込み特性は、図3に示す50 μs のパルス幅でISPP法による書き込み時の特性とほぼ一致している。

【0031】ただし、本実施形態の書き込み方法では、メモリセルのしきい値電圧 V_{th} を-3Vから+1Vまでに変化する場合には、一回目の50 μs の書き込みパルスとそれ以降の幅2 μs のパルスが7回印加することにより実現できる。書き込みパルスの印加時間は64 μs である。さらに、一回の検証時間 T_V を、例えば、5 μs とすると、一回目の書き込み後の検証を含めて全部で8回の検証が行われるので、書き込みの所要時間は、104 μs である。

【0032】これに対して、ISPP法により、例えば、幅10 μs の書き込みパルスをを用いるとすると、メモリセルのしきい値電圧 V_{th} を-3Vから+1Vまでに変化する場合には、全部で10回のパルス印加により実現できる。この場合、10回の検証を含めて、全部の所要時間は、150 μs である。また、幅5 μs の書き込みパルスをを用いる場合に、図3に示すように、全部で11回のパルス印加によりしきい値電圧 V_{th} の遷移を実現できる。この場合、11回の検証を含めて全部の所要時間は、110 μs である。

【0033】上述のように、ISPP法による書き込みでは、幅10 μs または5 μs の書き込みパルスをを用いた何れの場合でも、本実施形態の書き込み方法に較べて、書き込みの所要時間が長いことが分かる。ただし、図3に示すISPP法の書き込み特性によれば、パルス幅2 μs の書き込みパルスをを用いた場合に、例えば、全部で13回の書き込みにより同様なしきい値電圧 V_{th} の遷移を実現でき、検証時間を含めて、書き込みの所要時間は、本実施形態の処理時間より短い結果が得られるが、この場合、幅の短いパルスをを用いて書き込みを行うので、書き込みの初期においてメモリセルのしきい値電圧 V_{th} の変化がくわすかなく、書き込みの効率が低下するので、実用的ではない。

【0034】以上説明したように、本実施形態によれば、書き込み時に書き込み対象メモリセルに一回目が幅の長い書き込みパルスを印加し、2回目以降の書き込みにおいて、一回目より電圧レベルが大きく、幅が短い書き込みパルスを印加する。書き込みパルス印加後しきい値電圧の検証を行い、メモリセルのしきい値電圧 V_{th} が検出され、所定の書き込みレベル V_{th} に達したか否かを判定し、判定結果に応じて書き込み終了または移行を決定する。これにより、全体の書き込み時間を短縮でき、従来のISPP法による書き込みに較べて、さらに高速な書き込みを実現できる。【0035】以上では、書き込み動作を例に説明したが、本発明は不揮発性半導体記憶装置の書き込みのみではなく、消去動作にも適用できることはいままでもない。ただし、消去の場合に、メモリセルのフローティングゲートに対して電荷授受の方向は、書き込み動作時と異なる。このため、消去時に用いられる消去パルスは、負の電圧を有するが、または、コントロールゲートを所定の固定電位に保持し、書き込みパルスと同じようなパルスをメモリセルの基板に印加することによって、消去を実現できる。このため、消去時メモリセルに印加される消去パルスは、書き込みパルスと同様に、一回目のパルス幅が長く、それ以降のパルス幅が短く設定される。このように生成した

消去パルスを用いることによって、不揮発性半導体記憶装置の消去時間を短縮できる。
【0036】また、以上の説明では、2回目以降の書き込みまたは消去パルス幅は、全て一定値に設定されているが、本発明は、これに限定されることなく、例えば、2回目以降の書き込みまたは消去において、パルス幅が徐々に短くしていく、若しくは、一定の回数のパルスを印加した後、それまでのパルス幅よりも短いパルス幅に切り替えるなど、初期のパルス幅よりも後期のパルス幅を短く設定する手段は、同様な効果が得られる。

【0037】

【発明の効果】以上説明したように、本発明の不揮発性半導体記憶装置によれば、書き込みおよび消去時に、電圧レベルおよび幅がともに変化する書き込みまたは消去パルスを印加することにより、書き込みおよび消去時間を短縮でき、高速は書き込みおよび消去を実現できる利点がある。

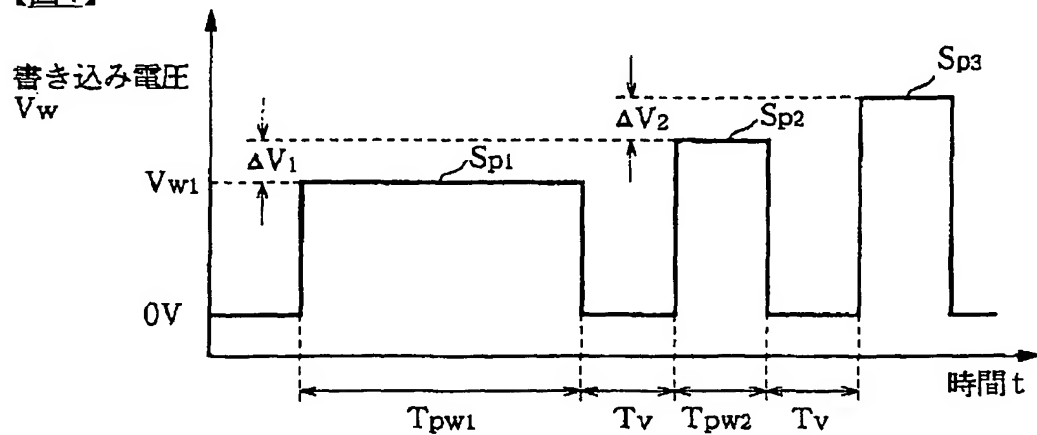
図の説明

【図面の簡単な説明】

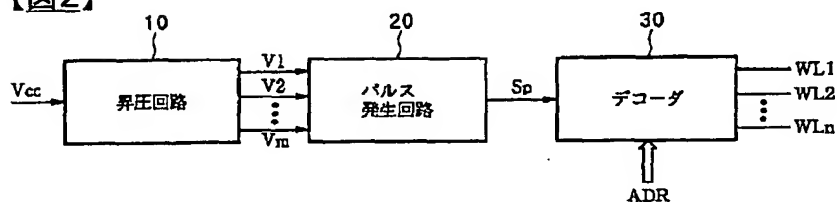
- 【図1】本発明に係る不揮発性半導体記憶装置の一実施形態を示す波形図である。
 - 【図2】本発明の書き込みパルスの発生回路の一構成例を示す回路図である。
 - 【図3】ISPP法による書き込み特性を示す図である。
 - 【図4】本発明の書き込み方法による書き込み特性を示す図である。
 - 【図5】フローティングゲート型不揮発性メモリの構成例を示す簡略断面図である。
 - 【図6】NAND型フラッシュメモリのメモリアレイを示す回路図である。
 - 【図7】従来の書き込み方法の書き込みパルスの波形を示す波形図である。
 - 【図8】ISPP法の書き込みパルスの波形を示す波形図である。
 - 【図9】従来の書き込み方法の書き込み特性を示す図である。
 - 【図10】ISPP法の書き込み特性を示す図である。
- 【符号の説明】
- 1…基板、2…ソース拡散層、3…ドレイン拡散層、4…ゲート絶縁膜、5…フローティングゲート、6…層間絶縁膜、7…コントロールゲート、10…昇圧回路、20…パルス発生回路、30…デコーダ、 T_{PW1} 、 T_{PW2} …パルス幅、WL1、WL2、…、WLn…ワード線、BL…ビット線、SL…ソース線、SG1、SG2…選択信号線、S1、S2…選択トランジスタ、 V_{CC} …電源電圧、GND…接地電位。

図面

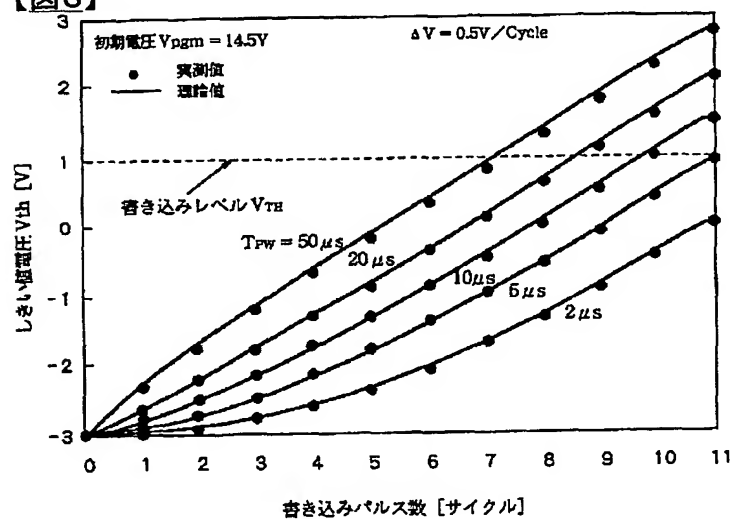
【図1】



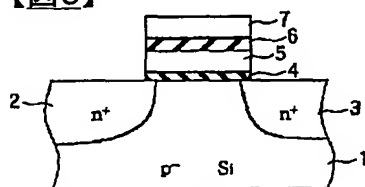
【図2】



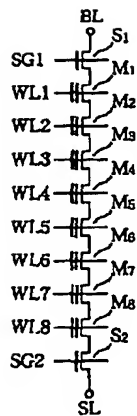
【図3】



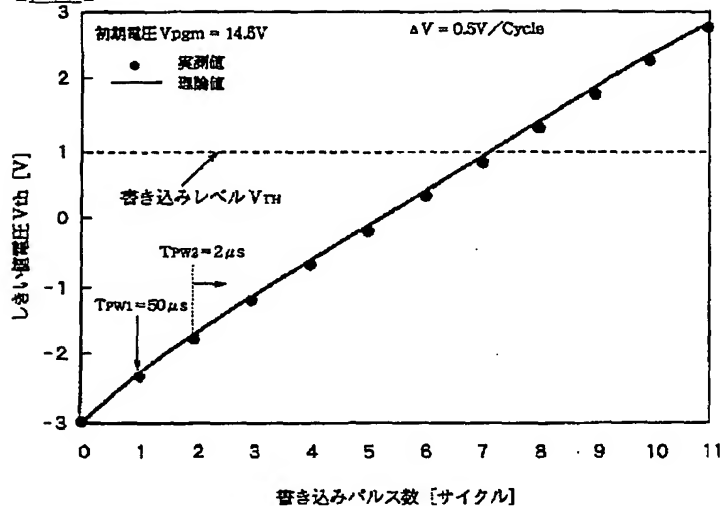
【図5】



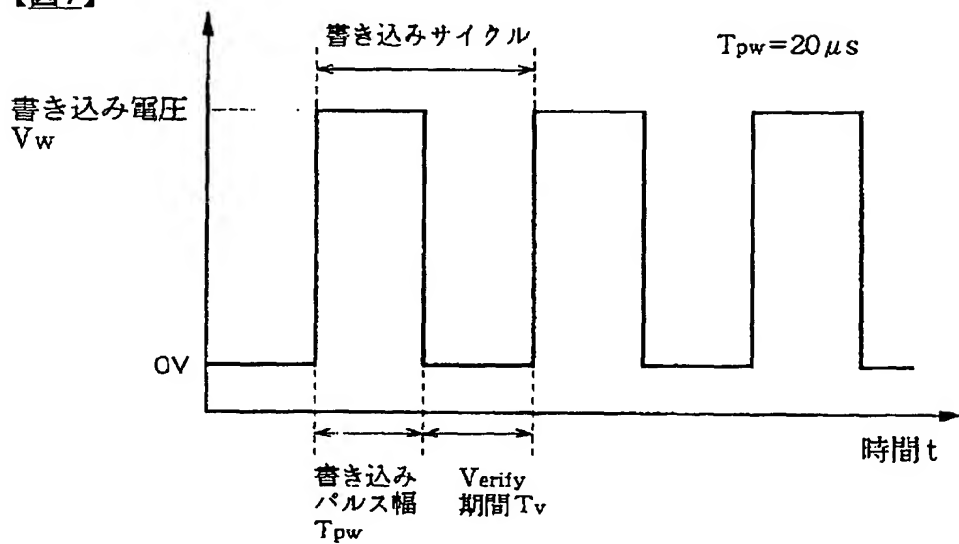
【図6】



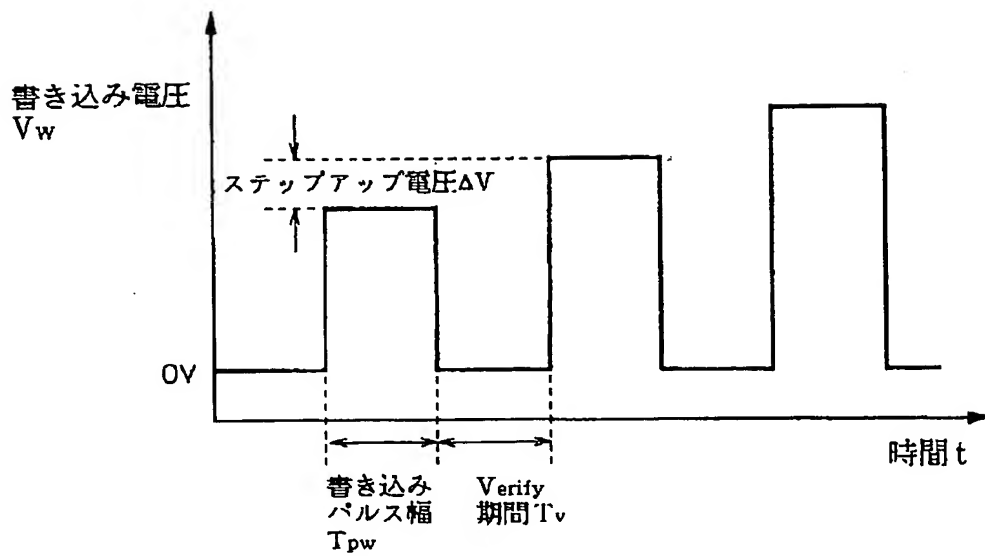
【図4】



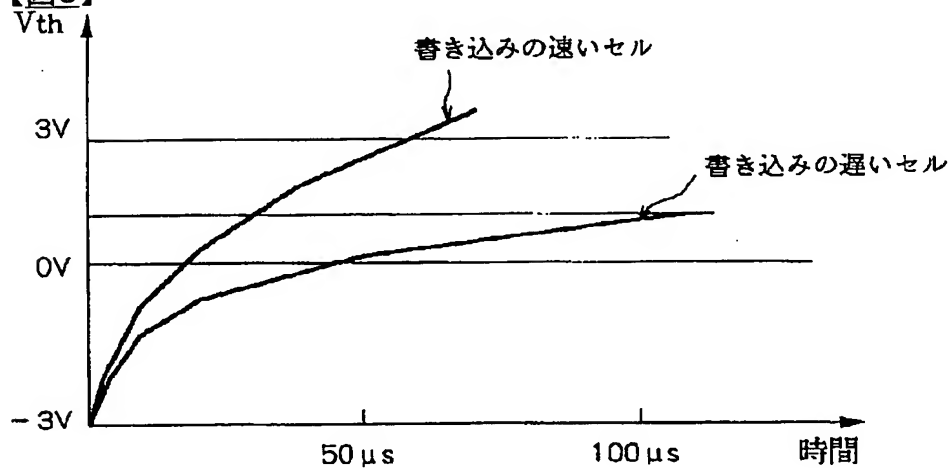
【図7】



【図8】



【図9】



【図10】

